



DRIVE CIRCUIT

Publication number: JP59061886
Publication date: 1984-04-09
Inventor: UIRIAMU JIYON MAACHIN
Applicant: IBM
Classification:
- international: **G09G3/28; G09G3/28; (IPC1-7): G09G3/28**
- European: **G09G3/28T; G09G3/288D**
Application number: JP19830102956 19830610
Priority number(s): US19820431864 19820930

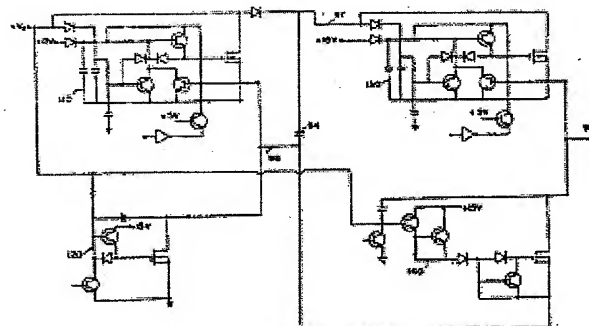
Also published as:

 EP0106942 (A2)
 EP0106942 (A3)

Report a data error here

Abstract not available for JP59061886
Abstract of corresponding document: **EP0106942**

A driving system for a plasma panel display which uses VFETs for output switches controls the transition time of an output waveform 95 to a constant time. Transformerless circuitry (110, 130) for communicating low voltage digital logic signals across a floating boundary to VFET control circuitry is provided. Low voltage control circuitry (120, 140) is isolated from high voltage sources by semiconductor circuitry which eliminates the need for transformer isolation techniques. In an alternative embodiment, the transition of an output waveform is controlled at a constant slew rate.



Data supplied from the **esp@cenet** database - Worldwide

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—61886

⑤ Int. Cl.³
G 09 G 3/28

識別記号

庁内整理番号
6523—5C

④ 公開 昭和59年(1984)4月9日

発明の数 1
審査請求 有

(全 6 頁)

⑭ 駆動回路

ロッサム・ドライブ5529—3番
地

① 特 願 昭58—102956

① 出 願 人 インターナショナル・ビジネス

② 出 願 昭58(1983)6月10日

・マシーンス・コーポレーショ

優先権主張 ②1982年9月30日③米国(US)

ン

③431864

アメリカ合衆国10504ニューヨ

⑦ 発 明 者 ウィリアム・ジョン・マーチン
アメリカ合衆国カリフォルニア
州サンノゼ・ウォルナット・ブ

ーク州アーモンク

④ 代 理 人 弁理士 山本仁朗 外1名

明 細 書

〔背景的技術〕

1. 発明の名称 駆動回路

従来のACプラズマ・ディスプレイ装置ではガスの封入されたパネル内面に平行な導体配列が対面して直交配置され導体の交点がガス・セルを形成している。放電電圧を加えてガス・セルを選択的にイオン化して、特定形状や情報の視覚表示を発生できる。放電の際、セルは低レベル保持信号と結合される壁電荷電圧を発生する。

2. 特許請求の範囲

プラズマ・セルを有するプラズマ・パネル・ディスプレイ装置に駆動電流を供給する駆動回路において、上記セルにパルス波形電圧を供給するためのVFETスイッチと、上記VFETスイッチに高電圧を供給する電源と、上記VFETスイッチのソース電位に基準電位をとつた回路で上記パルス波形電圧の変位時間を一定になるよう制御する制御回路と、デジタル論理信号を受け上記制御回路を駆動し一定の変位時間を有するパルス波形電圧を上記セルに供給するスイッチング装置とよりなる駆動回路。

プラズマ・ディスプレイ装置には、周期的電圧よりなり、放電を保持するのに十分な周波数でガス・セルの放電を維持する保持電圧を発生する回路が備えられている。これにより、特定の形や情報が視覚表示として、現状のままに保持される。保持電圧は、書き込みや消去動作を規制するためにも用いられる。保持電圧のピークは200V程度である。

3. 発明の詳細な説明

本発明はAC(交流)プラズマ・ディスプレイ装置の導体配列への駆動回路に関する。

この高圧保持信号の発生は、外部のプロセッサ又はコントローラからのデジタル論理信号に応答する低圧回路により制御され、この論理信号はプ

プラズマ装置で行なわせる動作に依る。保持信号と論理信号は電圧レベルがちがうのでプラズマ装置を動作させるには、これらの間の通信のための装置が必要である。例えば米国特許第3973253号、第4097856号等は低圧と高圧の各回路間の絶縁を保ちつつ、信号送受させるのにパルス・トランスフォーマを用いている。このパルス・トランスフォーマを低コストの半導体回路で代替することが望まれている。

プラズマ装置における一問題は、保持電圧等のスイッチングする波形の変位時間を制御することである。低い変化率で変位時間を制御する技術は既にあるが、変化率と電圧が増大するとこれは急激に困難化する。プラズマ装置の駆動回路に高出力の垂直フィールド効果トランジスタ(VFET)を用いている時には、特に困難になる。高出力VFETは広いバンド幅特性を示し、それらのゲート駆動回路が更に高い周波数特性を持つていないと発振する傾向をもつ。VFETは更に高い入力キャパシタンス(例えば1200 pF)を持ち、

低インピーダンスの駆動回路の使用を要する。又、装置間の利得の相違もあり、同じ出力変化率を得るためには、個々の装置によつて別々のゲート・ソース間入力が必要とする。

従来のプラズマ装置駆動回路は変化時間即ち保持電圧等スイッチ波形の立上りと下りの制御には大した関心を払つていなかった。変位時間の高速化のみ考えていた。大型のプラズマ装置では高速の変位時間は素子内での大電流をひき起す。スイッチ波形の変位時間を固定した時間或は固定した変化率に制御することが望ましい。

本発明の目的は、コストの安い半導体回路を用いて、スイッチ波形の変位時間が一定時間又は一定変化率に制御され、高圧パルス回路を低圧制御回路から隔離するのにトランスフォーマを用いずに、デジタル信号を低電圧制御回路にその遊動的な境界をこえて伝達する、改良されたプラズマ・ディスプレイ装置駆動回路を提供することである。

が一定の変化率に制御された形式である。

〔本発明の要約〕

本発明においては、保持電圧波形の変位が一定の時間になるよう制御されたプラズマ装置駆動回路が提供される。変位時間は回路が動作中変動する電圧変化から独立して一定時間に規定される。ガス・セルへの保持電圧を作る為の出力スイッチとしてVFETが用いられる。VFETの一部のソースはVFETが使用されない時に、上下に浮動(フロート)し、そのゲートはVFETの不使用時にそれらのソースに接続されたままである。VFETを駆動するのに用いられている低電圧回路も、ソース電位につれて浮動する。

外部コントローラやプロセッサからのデジタル論理信号を、浮動性の低電圧駆動回路に通すため従来使われてきたトランスフォーマはコストの低い半導体回路により置きかえられた。この方式により、トランスフォーマなしに、高圧部分の境界をこえて論理信号が低圧駆動回路に送られる。

本発明の他の形態は、保持電圧波形の変位時間

〔実施例の説明〕

第1図において、本発明の駆動回路20は、外部コントローラ11又は他のプロセッサ(図略)からデジタル論理信号(主としてTTLレベル)を受けるためのスイッチ回路12を有する。これら論理回路はプラズマ装置の保持動作の制御のみ用いられる。プラズマ装置で表示する情報を与えるものではない。

スイッチ回路12は論理信号をうけその情報を制御回路13に流す。VFET14からセル16に与えられる保持波形の変位時間を決めるのは制御回路13である。制御回路13はVFET14のゲートを駆動する低電圧ゲート駆動回路と、電流源と、低電圧ゲート駆動回路を高圧源15から隔離するゲート隔離回路からなる。これらの機能は後に第3図～第7図により詳述する。

セル16へVFET出力14から送られる保持波形の1例が第2図にみられる。米国特許第42

63534号にも示されているように、プラズマ・パネルで使える特性で200VのVFETはなかなか得られない。そこでピークからピークまで200Vの波形を得るために各段100VのVFETで2段にして回路を設計しなければならない。第1の段が第2図の波形で点17から点18迄ピークからピークで100Vの幅で動く。第1の段の出力が第2の段の入力に接続され、第2の段が第2図の点18から点19迄の100Vから200Vの幅を与える。合計してこの2段回路がピークからピークで200Vの波形を作る。

変位時間とは、ここでは立上り時間又は下り時間を意味する。本発明によつて制御される立上り時間は各段の立上り時間で、即ち第1の段での0~100Vと第2の段での100~200Vの立上り時間である。この立上り時間はその波形において最大値の10%のところから90%の高さに至る迄の時間である。同様に本願にいう下り時間は各段の下り時間で、振幅最大値の90%から10%になる迄の時間である。

いので電流源の値も変動する。抵抗21の第2の端子はトランジスタ23のベースに接続され、このためこの端子がトランジスタ23のベース・エミッタ間電圧とVFET26のトランスコンダクタンス g_m に依る或る値との和だけ、接地電位より高くなる。VFET26の g_m が変れば、ゲート・ソース間電圧も変る。 g_m はVFET26の利得であり、ゲート・ソース電圧に依存する項を含む。ゲート・ソース電圧が変ると抵抗21の両端の電圧が変り、そこを変れる電流も変る。100V等の高圧源に比べればこの変動は無視できる。

この電流源からの電流はトランジスタ23のベースとキャパシタ22により分割される。出力点28が接地に近づくと、キャパシタ22はトランジスタ23のベースからより多くの電流を引き出す。こうして、キャパシタ22を流れる電流は、VFET26のゲートに送られる駆動電流の量を規制するフィードバック制御として働く。このフィードバック電流は、キャパシタ22の値 C に電圧の時間変化率を乗じたものに等しく、即ち

立上り端と下降端とは、信号のそれぞれ前端的立上り部分と後端の下り部分を示す。立上り端は波形の最下点から最高点に至る部分をいい、下降端は最高点から最下点に至る部分である。立上り端は正の傾きをもち、下降端は負の傾きをもつ。

第3図はスイッチング波形の下り時間を一定時間に制御する回路の計画図である。VFET26の電源は接地電位に、ドレインは出力端子28に接続されている。トランジスタ25のベースが低電位の時、トランジスタ23がオンになり、VFET26のゲートを駆動し、この装置をオンにする。トランジスタ25のベースが高電位になるとオンになり、トランジスタ23のベースがほぼ接地電位に下げられオフにされ、VFET26のゲートへの駆動電流を外しこれもオフになる。スイッチ27は第8図の回路への接続で後に述べる。

VFET26のゲートを駆動するため用いる電流は高圧電源 V_s (例100V) とほぼ接地電位との間に接続された抵抗21からなる電流源から得られる。高圧電源 V_s の値は変動することが多

$$= C \frac{dv}{dt} \text{である。}$$

キャパシタ22の値 C は一定である。供給される電流は電源電圧 V_s の関数で、抵抗21の値を R として V_s/R である。トランジスタ23の利得は極めて高く選ばれているので、トランジスタ23に送られるベース電流値は、キャパシタ22により流される電流に比べて小さい。良く近似できる形は、抵抗21の電流がキャパシタ22を流れる電流と等しい形である。上記の式で抵抗21の電流値を置換すると、 $V_s/R = C \frac{dv}{dt}$ となる。ここで dv が V_s の全範囲での変位を示すとすると $dv = V_s$ となり $dt = R \times C$ となる。これで、出力電圧の立上り時間がその回路が受ける電圧の変動値に対して独立した一定時間にセットされた。

第4図は第3図の下降時間制御回路の改変形式で、外部プロセス等からターミナル31を介してデジタル論理信号をうけとるスイッチング回路12を有している。トランジスタ34、35は第3図のトランジスタ23、25と同じ働きをし、抵抗46、キャパシタ42は抵抗21、キャ

パシタ22と同じ働きをする。トランジスタ34の利得は小さくなりがちなので、その利得をブーストするためトランジスタ36が付加されている。この方式で、この装置をオンにするために十分な電流がVFET30のゲートに供給される。VFET30のソースは出力ターミナル45である。ほぼ電源電圧 V_s を持つキャパシタ44と抵抗46は、 V_s を抵抗46の値で割った値の電流源を作る。実際には、抵抗46はターミナルの1つをキャパシタ44に接続され、他のターミナルをトランジスタ36のベースに接続され、このベースが抵抗46の電圧の基準点になる。スイッチ29は他の回路への接続のためで、これは後に第8図に関して説明する。

第4図のスイッチング回路12は、共通ベース形式で接続されたインバータ32とトランジスタ33からなり、装置が不使用の際にはVFET30のソースは浮動する。この浮動は0ボルトと V_s ボルトの間で起り、この時VFET30を駆動する制御回路も浮動する。そこで、デジタル論理

オンにする。トランジスタ55のベースが高レベルになるとこれはオンになる。これによりトランジスタ54のベースはほぼ接地電位に引き下げられトランジスタ54はオフになり、VFET51のゲートへの駆動電流はなくなる。変化率 $\frac{dV}{dt}$ は、ターミナル57での出力電圧の時間当り変化値であり、VFET51のゲート駆動回路へのフィードバック電流をキャパシタ53の値で割ったものに等しい。VFET51への駆動電流は定電流源52から与えられる。キャパシタ53の値は固定している。VFET51のゲート制御回路に与えられる電流の値は一定なので、変化率 $\frac{dV}{dt}$ は一定である。これは、出力電圧、即ち保持電圧の下降端が一定の変化率において制御されることを意味する。こうして、下降端も一定の変化率に固定され、出力電圧値が変わっても一定の傾斜を持つ。 dV の増分は dt の増分で相殺され一定の $\frac{dV}{dt}$ 値が保たれる。

第6図は、第5図の下降端制御回路の変形例で外部プロセッサ等からのデジタル論理信号をう

信号は浮動の境界をこえて伝達されねばならない。この例ではインバータが用いられているが、入力31にデジタル信号を受けるのにはどんな論理ゲートでも用い得る。

トランジスタ33は、デジタル論理信号(例、接地を基準にしたTTLレベル)を浮動する立上り時間制御回路に送るためのスイッチング電流源として働く。高いレベルの信号がインバータ32のターミナル31に印加されると、トランジスタ33がオンになる。これは次に、トランジスタ35をオフにし、抵抗39の十分な電流をトランジスタ34のベースに向け、装置をオンにする。これにより、装置をオンにするのに十分な駆動電流がVFET30のゲートに与えられる。

第5図は、スイッチ波形の下降端を一定の変化率に制御する回路の計画図である。VFET51のソースは接地電位に接続され、ドレインは出力ターミナル57として働く。トランジスタ55のベースが低く保たれている際、トランジスタ54がオンになり、VFET51のゲートを駆動し

けるスイッチング回路12を有している。トランジスタ73、78は第5図のトランジスタ54、55と同様に働き、VFET61のゲートに十分な電流を流しオンにする。VFET61のソースは出力ターミナル62である。第6図のスイッチング回路12の働きは第4図についてした説明と同じである。

第6図の回路は、第4図にて用いられた電流源とは異なる定電流源(V_{cc})を有する。トランジスタ78がオンになると(VFET61をオフに保ち)、VFET61のソースが接地であるので、キャパシタ68はダイオード67、72を介して、 V_{cc} からダイオード67、72の電位降下とトランジスタ78の飽和電圧を減じた値のDCレベルに充電される。トランジスタ73がオンになると、キャパシタ68の電荷がトランジスタ73のエミッタにより駆動され、抵抗69の電流はキャパシタ68の電圧引くトランジスタ77のベース・エミッタ電圧足すトランジスタ73のベース・エミッタ電圧割る抵抗69の値となる。トランジ

スタ73と77のベース・エミッタ電圧はほぼ等しいから、これはキャパシタ68の電圧を抵抗69の値で除した値となる。この方法で、一定電流源が作られる。

第7図の回路は第3図の回路の変形で、低電圧ゲート制御回路を高圧電源からはなす、ゲート制御隔離回路を有する。V F E T 82のドレインは出力ターミナル93である。スイッチ92がV s位置にあると、ダイオード87が逆バイアスされ、高圧V sと、トランジスタ83、84、85からなる低圧駆動回路及び電源V sとトランジスタ84のベースの間に接続された抵抗81からなる電流源との間の隔離をする。この時、V F E T 82をオフに保つことが望ましく、これはV F E T 82のゲートをそれがオンになる電圧にならないよう保つことを要する。V F E T 82のゲート電圧はそのソースの電圧、トランジスタ89のベース・エミッタ電圧、抵抗91の電圧の和である。この中で制御できる項目は、抵抗91の電圧である。抵抗値の低い抵抗の両端の電圧を低くして、V F

E T 82をオフに保つのに十分な程度にすることは不可能に近い。ダイオード88は逆バイアスされているので、抵抗91中の電流はトランジスタ89のベース電流が殆んどすべてである。エミッタ電流は利得とベース電流の積であるから、抵抗91の電圧は、トランジスタ89のエミッタ電流×抵抗91の値÷利得である。トランジスタ89の利得を十分大きくすれば、抵抗91の値を不可能な程小さくしなくても、その電圧を低レベルに保てる。

スイッチ92が接地位置にあると、ダイオード87、88が順バイアスされ、トランジスタ89がオフにされる。この時、この回路は第3図の回路のように働く。

第8図はピークからピーク値200Vの保持電圧に一定の立上り時間を与える駆動システムを示す。このシステムは第3図、第4図、第7図の回路を包括している。

当初、回路110、130がオフで、回路120、140がオンである。この時、ライン96が

接地に引下げられる。キャパシタ94の両端は100ボルトで、ライン97は100ボルトにある。プラズマ・セルへの出力であるライン95は接地電位にある。回路120がオフで、回路110がオンになると、ライン96は100ボルトになり、キャパシタ94の上側のライン97が200ボルトに上がる。ライン97は回路130への200ボルト電源となる。すると、ライン95がセルに100ボルトを与える。回路140がオフ、回路130がオンになつた時、ライン95は200ボルトをセルに与える。このようにして、第8図の回路は、0～100ボルトの出力信号を出す第1の段と、この段の出力に基準を置いて0～100ボルトの出力信号を出す第2の段を有し、出力ライン95に0～200ボルトの接地を基準にした電圧を発生しガス・セルに与える。

4. 図面の簡単な説明

第1図は本発明のプラズマ・パネル・ディスプレイ駆動装置の計画図、第2図は本発明にて得られる波形の図、第3図から第8図は本発明のプラ

ズマ・セル駆動波形の立上り又は下降時間を制御する回路の実施例を示す図である。

11・・・外部プロセッサ、12・・・スイッチング回路、13・・・制御回路、14・・・V F E T出力、15・・・高圧源、16・・・プラズマ・セル、22、44、53、68・・・キャパシタ、21、39、69、81、91・・・抵抗、30、51、61、82・・・V F E T、23、25、33、34、35、36、54、55、63、73、77、78、83、84、85、89・・・トランジスタ。

出願人 インターナショナル・ビジネス・マシンズ・コーポレーション
代理人 弁理士 山 本 仁 朗
(外1名)

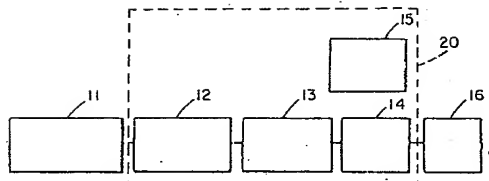


FIG. 1

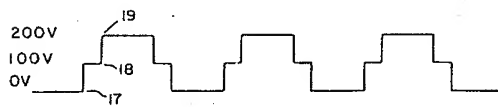


FIG. 2

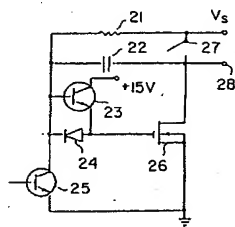


FIG. 3

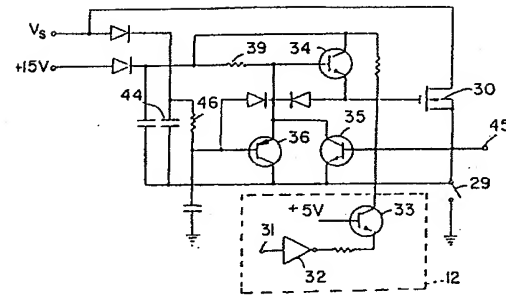


FIG. 4

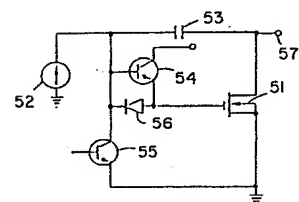


FIG. 5

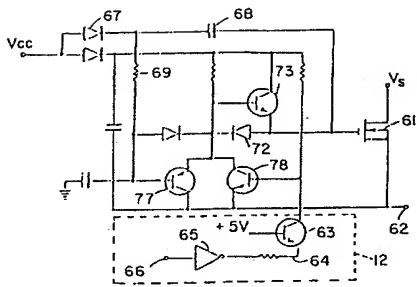


FIG. 6

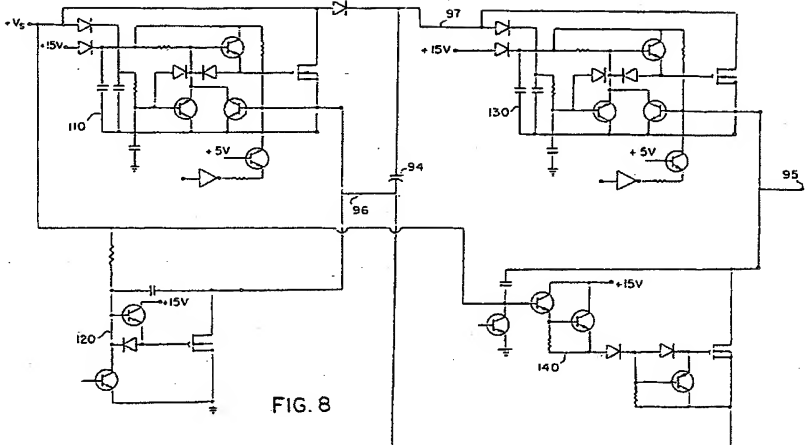


FIG. 8

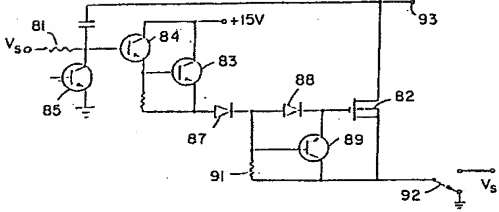


FIG. 7